

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-202047

(43)公開日 平成7年(1995)8月4日

(51)Int.Cl.<sup>6</sup>

識別記号 庁内整理番号

F I

技術表示箇所

H 01 L 21/8247

29/788

29/792

H 01 L 29/78 371

21/302 F

審査請求 未請求 請求項の数 2 OL (全 5 頁) 最終頁に続く

(21)出願番号

特願平6-1281

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(22)出願日 平成6年(1994)1月11日

(71)出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72)発明者 大塚 達也

愛知県春日井市高蔵寺町二丁目1844番2

富士通ヴィエルエスアイ株式会社内

(74)代理人 弁理士 井桁 貞一

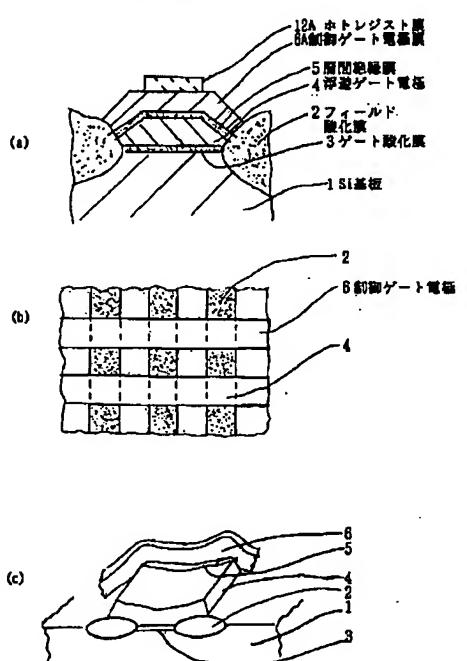
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】 (修正有)

【目的】 半導体装置、特にFLASH-EPROM の製造方法に関し、FLASH-EPROM の浮遊ゲート電極の側壁にエッティング残渣が発生しない製造方法の提供。

【構成】 半導体基板1上に、ポリSiからなり、ゲート酸化膜3と層間絶縁膜5とに挟まれた浮遊ゲート電極4が積層された半導体装置の製造方法において、前記浮遊ゲート電極4を、塩素ガスと酸素ガスの混合ガスを用いてプラズマエッティングし、側壁面を順テーパ形状とすることによって構成する。

本発明の方法の製造工程の説明図



1

## 【特許請求の範囲】

【請求項1】 半導体基板(1) 上に、ポリSiからなり、ゲート酸化膜(3) と層間絶縁膜(5) とに挟まれた浮遊ゲート電極(4) が積層された半導体装置の製造方法において、前記浮遊ゲート電極(4) を、塩素ガスと酸素ガスの混合ガスによりプラズマエッティングし、側面を順テーパ形状とすることを特徴とする半導体装置の製造方法。

【請求項2】 請求項1記載の混合ガスは、塩素ガスに対して酸素ガスを15~20%添加した混合ガスであることを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法に係り、特にFLASH-EPROM の浮遊ゲート電極をエッティングにより形成する製造方法に関する。

【0002】 FLASH-EPROM はその揮発性と、DRAM(dynamic random access memory)に相当する高密度、大容量の記憶が可能で有るので、次世代の半導体メモリとして注目されている。そしてその高密度化、大容量化のためにより高精度なドライエッティングの加工技術が要求されている。

【0003】 このドライエッティングによって電極のパターンを形成する場合、パターン形成後にエッティングの残渣が発生すると、後のマスク露光の際にゴミと成って剥離し、マスク合わせの妨げ、或いは電極間の短絡の原因と成って製品の信頼性を損なう事になるので、このようなエッティングによる残渣の発生を極力防止することが要求される。

## 【0004】

【従来の技術】 従来のFLASH-EPROM の製造方法について述べる。図6(a)に示すように、Si基板1の所定領域にSiO<sub>2</sub>より成るフィールド酸化膜2を熱酸化法で形成した後、更にSi基板1の表面に熱酸化法によりゲート酸化膜3を形成する。

【0005】 次いで図6(b)に示すように、該Si基板1上にポリSi膜を所定の厚さに成膜し、このポリSi膜をホトレジスト膜(図示せず)をマスクとして用い、所定のパターンに塩素(Cl<sub>2</sub>)ガスをエッティングガスとしたドライエッティングによりエッティングし、ポリSi膜より成る浮遊ゲート電極4を形成する。

【0006】 次いで図6(c)の平面図、並びに図6(d)の斜視図に示すように前記浮遊ゲート電極4の表面をCVD法でSiO<sub>2</sub>膜を成膜後、四 fluor化炭素(CF<sub>4</sub>)ガスをエッティングガスとして用いてエッティングして層間絶縁膜5を形成後、図6(c)の平面図および図6(d)の斜視図に示すように、該Si基板1上にポリSi膜(図示せず)を所定の厚さに成膜する。

【0007】 次いでホトレジスト膜(図示せず)をマスクとして臭化水素(HBr)ガスで前記ポリSi膜をエッキン

10 2

グし、前記浮遊ゲート電極4に直交する制御ゲート電極6を形成してFLASH-EPROM を製造している。

## 【0008】

【発明が解決しようとする課題】 ところで図6(d)に示すように、このようにして形成したFLASH-EPROM の浮遊ゲート電極4の側壁には、ドライエッティング後に二酸化シリコン(SiO<sub>2</sub>)等よりなるエッティング残渣11が発生し易い。これはホトレジスト膜をマスクとして異方性エッティングのドライエッティングを行なっても、レジスト膜直下の部分迄が、確実にエッティングされないために起る。

【0009】 そのため、エッティングガスと反応して形成されたSiO<sub>2</sub>膜等よりなるエッティング残渣11が堆積し、これがその後の工程で剥離して浮遊し、ゴミと成ってマスク露光の妨げと成って、高精度にマスク露光できない問題がある。或いはこの浮遊ゲート電極4をドープトSi膜で形成した場合、上記したエッティング残渣11が、隣接する浮遊ゲート電極4間同士で短絡して素子不良の原因と成り、製品の信頼性を損なったり、歩留りが低下する問題がある。

20 20 【0010】 またこのエッティング残渣11を取り除くよう再度エッティングを行なおうとすると、フィールド酸化膜2をもエッティングするようになり、再エッティングによってエッティング残渣11を取り除く事は困難である。

【0011】 本発明は上記した問題点を解決するもので、上記したエッティング残渣が発生し難い半導体装置の製造方法の提供を目的とする。

## 【0012】

【課題を解決するための手段】 本発明の半導体装置の製造方法は、半導体基板上にポリSiからなり、ゲート酸化膜と層間絶縁膜とに挟まれた浮遊ゲート電極が積層された半導体装置の製造方法において、前記浮遊ゲート電極を、塩素ガスと酸素ガスの混合ガスを用いてプラズマエッティングし、側面を順テーパ形状となすことを特徴とするものである。

【0013】 また上記混合ガスは、塩素ガスに対して酸素ガスを15~20%添加した混合ガスであることを特徴とするものである。

## 【0014】

【作用】 本発明の方法は図5(a)に示すように、浮遊ゲート電極4の形状をSi基板1より上方に到る程、その断面積が小さくなるような形状、つまり順方向のテーパーを有する形状にする。

【0015】 従来の方法の図5(b)に示すように浮遊ゲート電極4の側壁を垂直に切り立てる形成し、その上に層間絶縁膜5を形成し、その上にポリSiよりなる制御ゲート電極膜6Aを形成すると、この制御ゲート電極膜6Aよりフィールド酸化膜2の端部の表面に到る厚さがbと成る。

【0016】 これに対して、本発明の図5(a)のように浮遊ゲート電極4の側壁をテーパー状に形成した場合は、

50

3

前記制御ゲート電極膜6Aよりフィールド酸化膜2の端部の表面に到る距離はaとなり、 $a < b$ となって、薄くなりエッティングされ易く、そのため浮遊ゲート電極4の側壁部に堆積するエッティング残渣の発生が少なくなることを本発明者は実験的に確認した。

【0017】また図4に示すように、この浮遊ゲート電極4の順方向のテーパー角度θは、エッティングガスの塩素ガスに添加される酸素ガスの量が少なく成る程、急峻と成り、塩素ガスに添加される酸素ガスの量が多く成る程、緩やかに成り、この塩素ガスに混合される酸素ガスの混合量を制御することでテーパー角度θを制御する事が可能となる。

#### 【0018】

【実施例】以下、図面を用いて本発明の一実施例に付き詳細に説明する。図1(a)の断面図に示すように、Si基板1の所定領域に熱酸化法によりフィールド酸化膜2を形成すると共に、該フィールド酸化膜2で区切られた領域のSi基板1の表面を熱酸化してゲート酸化膜3を形成する。

【0019】次いで該Si基板1上にポリSiよりなる浮遊ゲート電極膜4Aを所定の厚さにCVD法で成膜した後、その上にホトレジスト膜12を成膜する。次いで該Si基板1を図3に示す平行平板型リアクティブイオンエッティング装置の容器21内の基板設置台22上に設置し、容器21内を排気ポンプ( 図示せず ) に連なるガス排気管31より排気した後、ガス導入管24より、塩素ガス流量が80sccm、酸素ガス流量が18sccmの混合ガスを容器21内に導入し、容器21内のガス圧力が100mmtorr の圧力になるように調節する。

【0020】次いで高周波発振器32により、基板設置台22と電極23間に高周波電力が300Wと成るように高周波電力を印加して前記混合ガスで前記浮遊ゲート電極膜をエッティングし、図1(b)と図1(b)のA-A'断面図の図1(c)に示すように浮遊ゲート電極4を形成する。

【0021】このエッティングの場合、本発明者は実験により酸素ガスの塩素ガスに対する添加量は容量比で20%とすると、図4よりテーパー角度θは72度程度となり、順方向のテーパーが付いたことを確認した。

【0022】なお本発明者は図4に示すように塩素ガスに対する酸素ガスの添加量が容量比で15%以下となると、直線aに示すように急激にテーパー角度θが大となり、また上記塩素ガスに対する酸素ガスの添加量の容量比が30%以上に成ると、エッティング速度が急激に低下してエッティングに長時間を要し、実用的でない事が判明したので、酸素ガスの塩素ガスに対する添加量は容量比で15~30%の範囲とした。

【0023】次いで浮遊ゲート電極4を形成したSi基板1を、前記したエッティング装置の容器21より取り出し、図2(a)に示すように、浮遊ゲート電極4上を熱酸化、或いはCVD法で成膜して層間絶縁膜5を300 Åの厚さに

10

成膜後、この上にCVD法によりポリSiよりなる制御ゲート電極膜6Aを2000Åの厚さに成膜後、その上に所定パターンのホトレジスト膜12Aを成膜する。

【0024】次いでこのように形成したSi基板1を再び図3に示したエッティング装置の容器21内の基板設置台22上に設置する。次いでこの基板設置台22と、電極23間の高周波電力を350Wとし、ガス導入管24より、HBrガスが80sccm、Heが2sccmの流量と成るように容器21内に導入し、図2(b)の平面図および図2(c)の斜視図のように制御ゲート電極6をエッティング形成する。

【0025】次いで前記浮遊ゲート電極膜をエッティングするのに用いたエッティングガスの容器21内への供給を停止し、CF<sub>4</sub>ガスを80sccmの流量で容器21内に導入し、容器21内の圧力が500mmtorrと成るように調整し、層間絶縁膜5を所定のパターンにエッティングする。

【0026】このようにすれば、層間絶縁膜5と制御ゲート電極膜6Aの形成時に浮遊ゲート電極4がテーパー形状を呈しているので、前記した理由で形成される浮遊ゲート電極4の側壁部にエッティング残渣が発生することが少なくなる。

【0027】そのため、その後のマスク露光の工程でエッティング残渣が飛散してマスク露光の際の障害となる事故がなくなり、またこの浮遊ゲート電極4と制御ゲート電極6をドープトポリSi膜で形成した場合、隣接するこれ等の電極同士がショートする事故も発生せず、FLASH-EPROMの製造歩留りが向上する効果がある。

#### 【0028】

【発明の効果】以上述べたように本発明の方法によると浮遊ゲート電極の側壁にエッティング残渣が発生しなくなるので、マスク露光が高精度で行なわれ、また電極間のショート現象も少なくなるので、高歩留りで半導体装置が製造可能となる。

#### 【図面の簡単な説明】

【図1】 本発明の方法の製造工程の説明図である。

【図2】 本発明の方法の製造工程の説明図である。

【図3】 本発明の方法に用いる装置の説明図である。

【図4】 テーパー角度とエッティングガスの混合比の関係図である。

【図5】 本発明の方法の原理の説明図である。

【図6】 従来の方法および問題点の説明図である。

#### 【符号の説明】

1 Si基板

2 フィールド酸化膜

3 ゲート酸化膜

4 浮遊ゲート電極

4A 浮遊ゲート電極膜

5 層間絶縁膜

6 制御ゲート電極

6A 制御ゲート電極膜

11 エッティング残渣

50

5

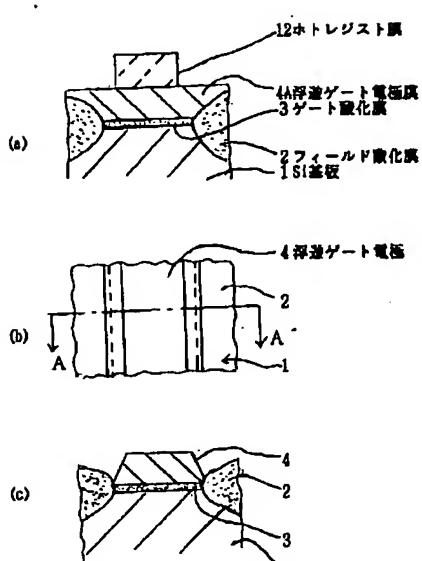
- 12 ホトレジスト膜  
12A ホトレジスト膜  
21 容器  
22 基板設置台

6

- 23 電極  
24 ガス導入管  
31 ガス排気管  
32 高周波発振器

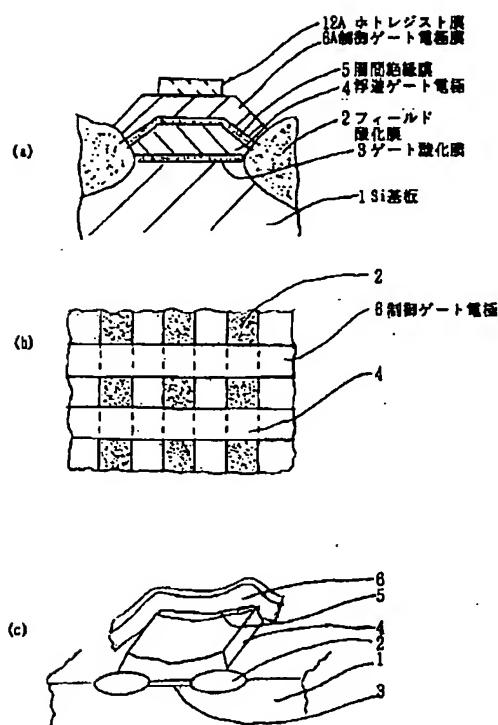
【図1】

本発明の方法の製造工程の説明図



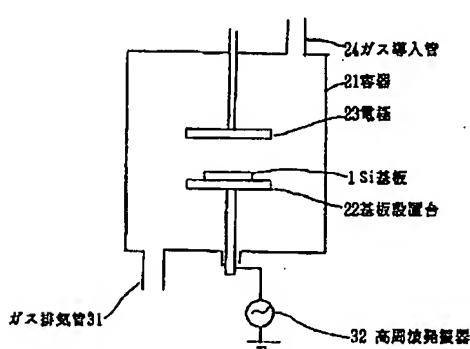
【図2】

本発明の方法の製造工程の説明図



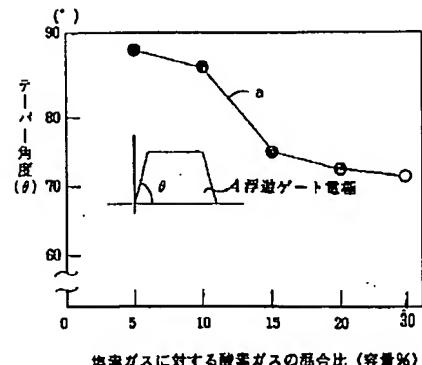
【図3】

本発明の方法に用いる装置の説明図



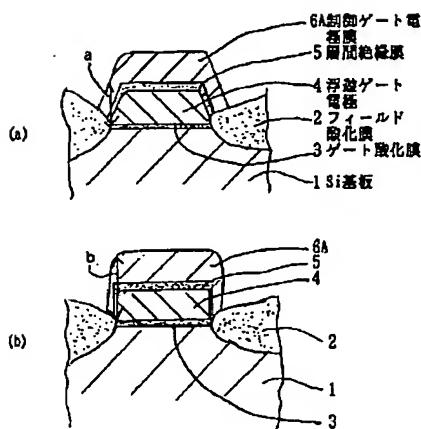
【図4】

テバ角度とエッティングガスの混合比の関係図



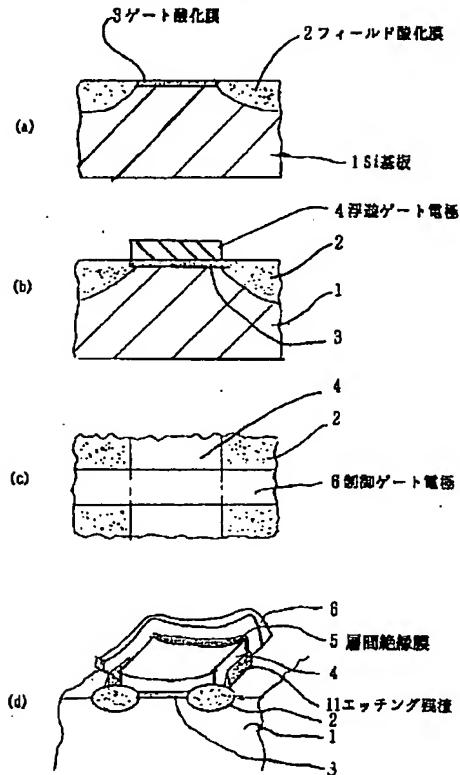
【図5】

本発明の方法の原理の説明図



【図6】

従来の方法および問題点の説明図



## フロントページの続き

(51) Int.Cl.<sup>6</sup>

識別記号

府内整理番号

F I

技術表示箇所

H 01 L 21/3065

29/78

7514-4M

H 01 L 29/78

301 G

DERWENT-ACC-NO: 1995-305915

DERWENT-WEEK: 199540

COPYRIGHT 2004 DERWENT INFORMATION LTD

TITLE: Floating gate electrode mfr. with no etching residue,  
etc. - by plasma etching using gas mixt. of  
chlorine@ and oxygen@ to generate taper shaped floating gate  
electrode sidewall

PATENT-ASSIGNEE: FUJITSU LTD[FUIT] , FUJITSU VLSI LTD[FUIV]

PRIORITY-DATA: 1994JP-0001281 (January 11, 1994)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
PAGES MAIN-IPC		
JP 07202047 A	August 4, 1995	N/A
005 H01L 021/8247		

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP 07202047A	N/A	1994JP-0001281
January 11, 1994		

INT-CL (IPC): H01L021/3065, H01L021/8247 , H01L029/78 ,  
H01L029/788 ,  
H01L029/792

ABSTRACTED-PUB-NO: JP 07202047A

BASIC-ABSTRACT:

The floating gate electrode mfr. includes forming a floating gate electrode formed on a semiconductor substrate (1). A field oxide film layer (2) is formed on the substrate selectively according to pattern, then a gate oxide film (3) is formed on the substrate surface in the space between field oxide film segments. The floating gate electrode is formed on the gate

oxide film.

The substrate is then shifted to a plasma processing chamber. The floating

gate electrode is etched by plasma processing using a gas mixt. of chlorine and

oxygen, then tapered side walls are generated in the floating gate. Interlayer

insulation film (5) is formed subsequently on the floating gate.

ADVANTAGE - Prevents generation of etching residue on floating gate electrode

side wall. Eliminates shorting of electrodes. Increases yield.

CHOSEN-DRAWING: Dwg.2/6

TITLE-TERMS: FLOAT GATE ELECTRODE MANUFACTURE NO ETCH RESIDUE PLASMA ETCH GAS

MIXTURE CHLORINE@ OXYGEN@ GENERATE TAPER SHAPE FLOAT GATE ELECTRODE

SIDEWALL

ADDL-INDEXING-TERMS:

FLASH EPROM.

DERWENT-CLASS: L03 U11 U12 U13 U14

CPI-CODES: L03-G04A; L04-C07D; L04-C11C; L04-C12A;

EPI-CODES: U11-C05F1; U11-C18A3; U12-D02A1; U12-Q; U13-C04A; U13-C04B2;

U14-A03B7;

UNLINKED-DERWENT-REGISTRY-NUMBERS: 1779U; 1781U

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C1995-136405

Non-CPI Secondary Accession Numbers: N1995-232061